
**INTELLECTUAL PROPERTY OFFICE**  
 MINISTRY OF ECONOMIC AFFAIRS R. O. C.  
 .. 中文 Chinese .. Site Map  
 Web Search    
 About TIPO Press Release What's New Laws & Regulations How to Statistics Enforcement & Prosecution International Harmonization

## How to.. | TW Patent search

Procedures

Fees

TW Patent search

### Patent

**Patent No** 519696 **Publication Date** 2003/2/1  
**Application No** 090114056 **Filing Date** 2001/6/11  
**Title** Semiconductor device and method of manufacturing the same  
**IPC** H01L21/28

### Author / Inventor

MADHUKAR, SUCHARITA (IN) ; NGUYEN, BICH-YEN (US) ;

### Applicant

Name	Country	Individual/Company
MOTOROLA INC.	US	Company

### Priority Data

Country	Application No	Priority Date
US	20000592448	2000/6/12

### Patent Abstract

A process for forming a first transistor of a first conductivity type and a second transistor of a second conductivity type in a semiconductor substrate is disclosed. The substrate has a first well of the first conductivity type and a second well of the second conductivity type. A gate dielectric is formed over the wells. A first metal layer is then formed over the gate dielectric. A portion of the first metal layer located over the second well is then removed. A second metal layer different from said first metal is then formed over the wells and a gate mask is formed over the second metal. The metal layers are then patterned to leave a first gate over the first well and a second gate over the second well. Source/drains are then formed in the first and second wells to form the first and second transistor.

**BEST AVAILABLE COPY**

Last Update : 2004/7/16



[11]公告編號：519696

[44]中華民國 92年(2003) 02月01日

發明

全 6 頁

[51] Int.Cl.<sup>07</sup> : H01L21/28

[54]名稱：半導體裝置及其製造方法

[21]申請案號：090114056

[22]申請日期：中華民國 90年(2001) 06月11日

[30]優先權：[31]09/592,448

[32]2000/06/12

[33]美國

[72]發明人：

蘇查理塔 瑪呼卡

美國

畢一元 尼谷延

美國

[71]申請人：

摩托羅拉公司

美國

[74]代理人：陳長文 先生

1

2

[57]申請專利範圍：

1.一種半導體裝置，位於具有第一電導係數類型之第一井區及第二電導係數類型之第二井區之半導體基材中，該半導體裝置係包括：

一閘極介電材料，位於該第一井區及該第二井區之至少一部分上；

一第一閘極，位於該第一井區及該閘極介電材料上，該第一閘極具有第一金屬類型之第一區域及第二金屬類型之第二區域，該第二金屬類型係異於該第一金屬類型，而該第一區域係位於該閘極介電材料上；

一第一源極及一第一汲極，形成於該第一井區中且與該第一閘極相鄰；

一第二閘極，位於該第二井區及閘極介電材料上，該第二閘極係具有第二金屬類型，該第二金屬類型係異於該第一金屬類型；

一第二源極及汲極，形成於該第二井區中且與該第二閘極相鄰。

2.如申請專利範圍第1項之半導體裝置，其中該第一區域係具有第一厚度，且該第二區域係具有第二厚度，其中該第二厚度係較該第一厚度厚至少兩倍。

3.如申請專利範圍第1項之半導體裝置，其中該閘極介電材料係為過渡金屬氧化物。

4.如申請專利範圍第3項之半導體裝

置，其中該第一層係具有第一厚度，且該第二層係具有第二厚度，其中該第二厚度係大於該第一厚度。

5. 如申請專利範圍第4項之半導體裝置，其中該第二厚度係較該第二厚度厚至少兩倍。

6. 如申請專利範圍第5項之半導體裝置，其中該第一金屬類型係為氮化鉍。

7. 如申請專利範圍第6項之半導體裝置，其中該第二金屬類型係為鉑。

8. 一種在具有第一電導係數類型之第一井區及第二電導係數類型之第二井區之半導體基材中形成具有第一電導係數類型之第一電晶體及具有第二電導係數類型之第二電晶體之方法，該方法包括以下步驟：

於該第一井區上形成第一可移除閘極及於該第二井區上形成第二可移除閘極；

於該第一井區中形成與該第一可移除閘極相鄰且具有第二電導係數類型之第一源極及第二汲極；

於該第二井區中形成與該第二可移除閘極相鄰且具有第一電導係數類型之第二源極及第二汲極；

移除該第一及第二可移除閘極；

於該第一及第二井區上形成一閘極介電材料；

於該閘極介電材料上形成具有第一金屬類型之第一金屬層；

移除該第一金屬層之第一部分，該第一金屬層之第一部分係位於該第二井區上；

之後於該第一及第二井區上形成具有第二金屬類型之第二金屬層，該第二金屬類型係異於該第一金屬類型；及

移除該第二金屬層之第一部分，該

第二金屬層之第一部分係位於該第一及第二井區之間；

以於第二井區中形成第一電晶體，且於第一井區中形成第二電晶體。

9. 如申請專利範圍第8項之方法，其中該閘極介電材料係為過渡金屬氧化物。

10. 如申請專利範圍第8項之方法，其中該第一層係具有第一厚度且第二層具有第二厚度，其中該第二厚度係大於該第一厚度。

11. 如申請專利範圍第10項之方法，其中該第二厚度係較該第一厚度大至少兩倍。

12. 如申請專利範圍第11項之方法，其中形成該第一金屬層之步驟係包括藉化學氣相沉積方法沉積氮化鉍。

13. 如申請專利範圍第11項之方法，其中形成第二金屬層之步驟係包括藉化學氣相沉積方法沉積鉑。

14. 如申請專利範圍第13項之方法，其中該過渡金屬氧化物係選自銦、銦、鋁、鎢、矽、鈦之氧化物及其組合物。

25. 圖式簡單說明：

圖1係為本發明之一具體實例的部分完成半導體裝置的部分剖面圖；

圖2係為圖1之後的加工步驟，其中自該半導體裝置的部分選擇性地移除第一閘極金屬；

30. 圖3係為圖2之後的部分剖面圖，其中於該第一閘極金屬上沉積第二閘極金屬；

圖4係為圖3之後的加工步驟，沉積金屬被圖型化成閘極結構；

35. 圖5係為圖4之後的加工步驟，其中已形成n-通道及p-通道電晶體；且

圖6A至6F係說明用以形成本發明半導體裝置之備擇方法。

(3)

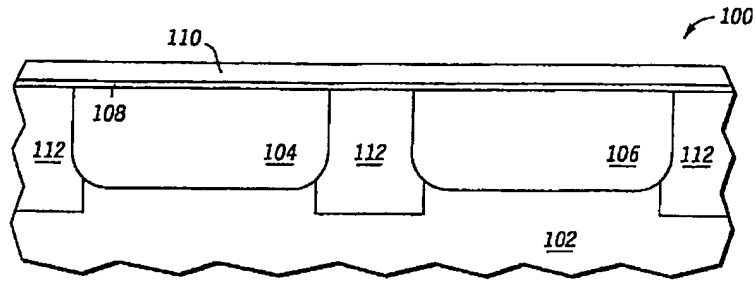


圖 1

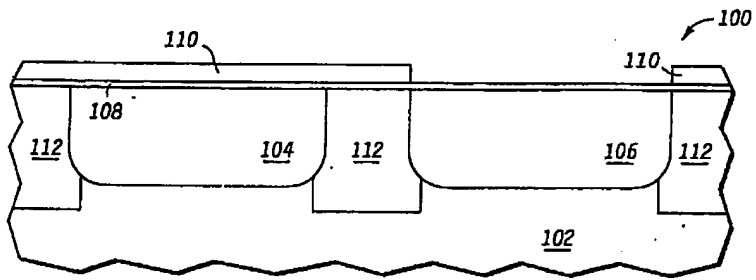


圖 2

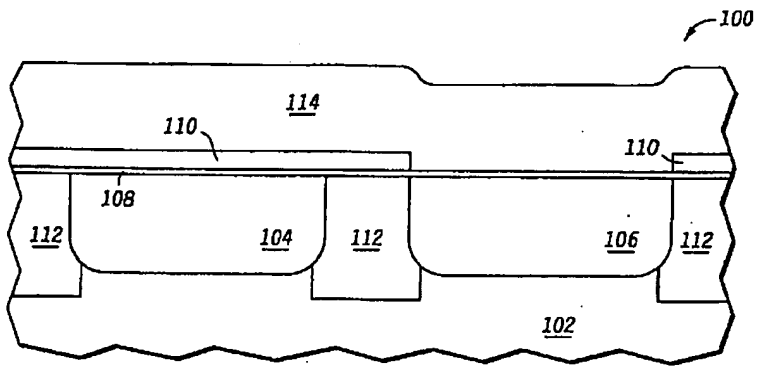


圖 3

(4)

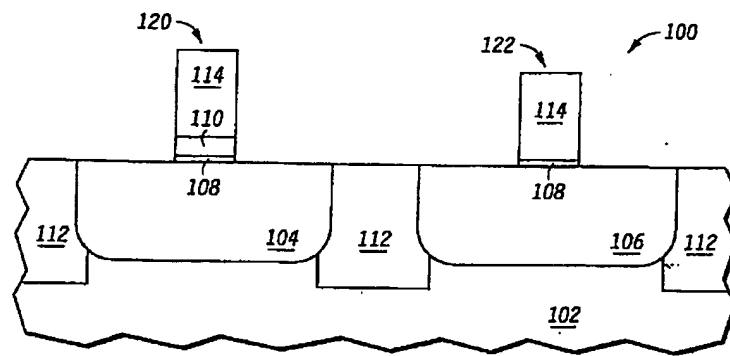


圖 4

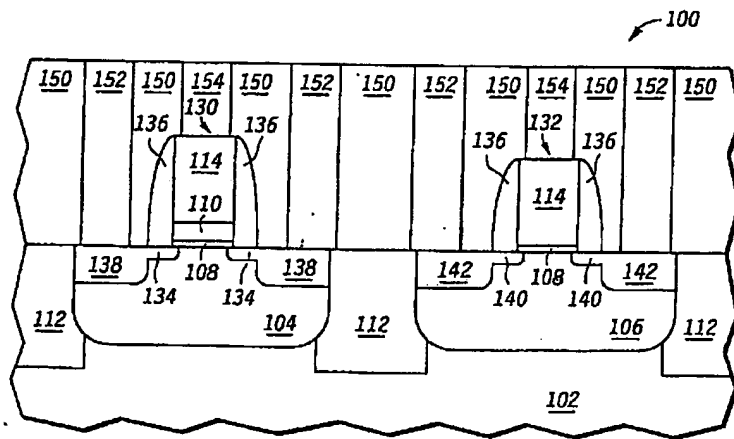


圖 5

(5)

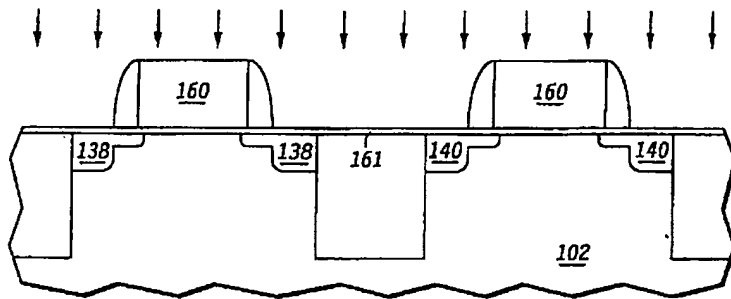


圖 6A

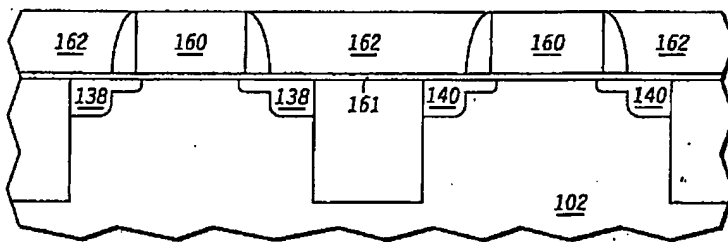


圖 6B

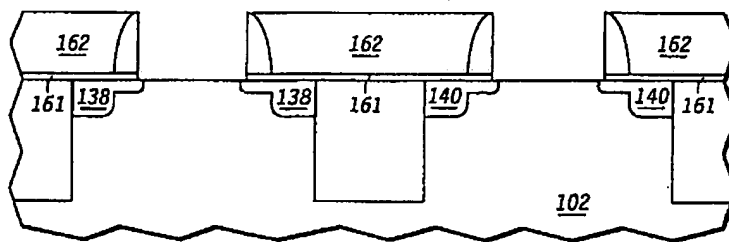


圖 6C

(6)

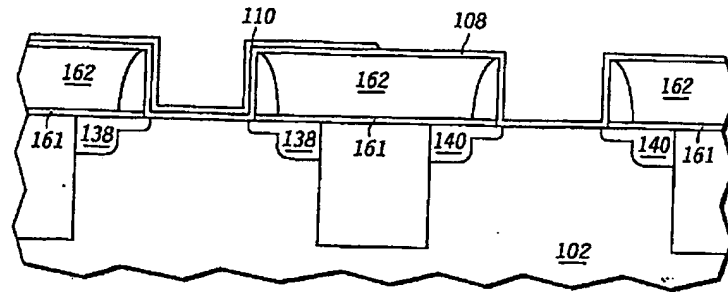


圖 6D

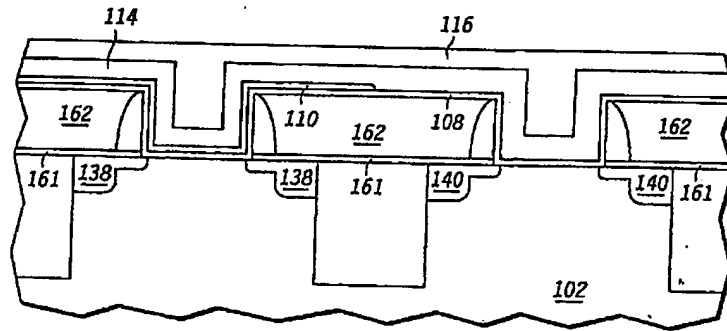


圖 6E

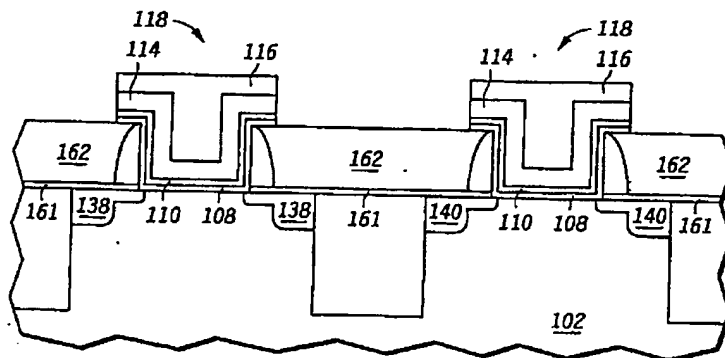


圖 6F

公告

修正  
補充  
91年10月

申請日期	90.6.11
案 號	090114056
類 別	H01L 2/58

A4  
C4

(以上各欄由本局填註)

中文說明書修正本(91年10月)

發 明 專 利 說 明 書 519696 新 型		
一、發明名稱	中 文	半導體裝置及其製造方法
	英 文	SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME
二、發明人	姓 名	1.蘇查理塔 瑪呼卡 SUCHARITA MADHUKAR 2.畢-元 尼谷延 BICH-YEN NGUYEN
	國 籍	1.印度 2.美國
	住、居所	1.美國加州聖約瑟市伍卓廣場1013號 2.美國德州奧斯丁市月桂林大道110號
三、申請人	姓 名 (名稱)	美商摩托羅拉公司 MOTOROLA INC.
	國 籍	美國
	住、居所 (事務所)	美國伊利諾州史堪伯市東阿崗崑路1303號 摩托羅拉中心
	代 表 人 姓 名	F. 強 莫辛格 F. JOHN MOTSINGER

裝  
訂  
線

## 四、中文發明摘要(發明之名稱:半導體裝置及其製造方法)

本發明揭示一種於半導體基材中形成具有第一電導係數類型之第一電晶體及具有第二電導係數類型之第二電晶體的方法。該基材具有第一電導係數類型之第一井區及具有第二電導係數類型之第二井區。閘極介電材料係形成於該井區上。之後於該閘極介電材料上形成第一金屬層。移除該第一金屬層位於該第二井區上之部分。之後於該井區上形成異於該第一金屬的第二金屬層，於該第二金屬上形成閘極罩幕。金屬層經圖型化，以於該第一井區上留下第一閘極且於第二井區上留下第二閘極。之後於該第一及第二井區中形成源極/汲極。

## 英文發明摘要(發明之名稱: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME)

A process for forming a first transistor of a first conductivity type and a second transistor of a second conductivity type in a semiconductor substrate is disclosed. The substrate has a first well of the first conductivity type and a second well of the second conductivity type. A gate dielectric is formed over the wells. A first metal layer is then formed over the gate dielectric. A portion of the first metal layer located over the second well is then removed. A second metal layer different from said first metal is then formed over the wells and a gate mask is formed over the second metal. The metal layers are then patterned to leave a first gate over the first well and a second gate over the second well. Source/drains are then formed in the first and second wells to form the first and second transistor.

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權  
美國 2000年06月12日 09/592,448 ☒有 ☐無 主張優先權

有關微生物已寄存於：

寄存日期：

，寄存號碼：

裝

訂

線

## 五、發明說明( 1 )

先前申請案之參照

本發明已於2000年6月12日於美國註冊為專利申請案編號09/592,448。

發明領域

本發明係有關半導體製造之領域，尤其有關一種製造方法，其另外包括將閘極金屬區分為供n-通道及p-通道裝置使用之部分。

相關技藝

在半導體製造之領域中，一般期望製造具有匹配臨限電壓之n-通道及p-通道電晶體。此外，若該n-通道及p-通道臨限電壓之絕對值接近零，則期望增加裝置速度。習用半導體加工中，n-通道及p-通道臨限電壓傳統上係藉著結合通道植入物及選擇性地摻雜多晶矽閘極而調整。通道植入物之使用一般可用以調整供n-通道裝置使用之臨限電壓，但對於p-通道裝置較無效果。此外，多晶矽閘極結構之使用隨著閘極介電材料厚度穩定地減少而變得不可行。詳言之，具有低熱預算及薄閘極氧化物之裝置中，硼自p-型多晶矽閘極擴散入電晶體通道內及多晶矽消耗效應使得將多晶矽閘極收納於高級技術中愈趨困難。此外，隨著半導體加工遠離使用二氧化矽作為閘極介電材料，多晶矽與備擇閘極介電結構之間的化學反應使得多晶矽成為較不受期望之閘極選擇。因此，極期望進行一種製造方法，其中n-通道及p-通道臨限電壓相互匹配且具有令人滿意之低值。此外，期望所進行之方法可與備擇閘極介電材料相容。

## 五、發明說明( 2 )

圖式簡單說明

使用實施例說明本發明，而不受限於附圖，其中相同參考編號表示相同元件，其中：

圖1係為本發明之一具體實例的部分完成半導體裝置的部分剖面圖；

圖2係為圖1之後的加工步驟，其中自該半導體裝置的部分選擇性地移除第一閘極金屬；

圖3係為圖2之後的部分剖面圖，其中於該第一閘極金屬上沉積第二閘極金屬；

圖4係為圖3之後的加工步驟，沉積金屬被圖型化成閘極結構；

圖5係為圖4之後的加工步驟，其中已形成n-通道及p-通道電晶體；且

圖6A至6F係說明用以形成本發明半導體裝置之備擇方法。

熟習該項技術者已知圖中之元件係供簡單地說明，而非必要按照比例。例如，圖中部分元件之尺寸相對於可較誇大，以助於明瞭本發明具體實例。

詳細描述

現在參照附圖，圖1至5係說明本發明半導體方法之一具體實例中，於各種階段下之剖面圖。圖1中，說明部分完成之半導體裝置100。圖1所說明之半導體裝置100係包括一半導體基材102，其中已形成第一井區104及第二井區106。半導體基材102一般係包括經低度摻雜之n型或p型單晶矽。所

## 五、發明說明(3)

說明之半導體裝置100的具體實例係使用雙井區方法製造，其中第一井區104係選擇性地植入基材102將形成具有第一電導係數類型之裝置的部分內，而第二井區106係選擇性地植入基材102中將形成具有第二電導係數類型之電晶體的區域內。該雙井區方法的一具體實例中，該第一井區104本身可封包於一槽(未示)中，其中第一電導係數類型之井區104係與該槽相對。另一具體實例中，基材102可包括一經低度摻雜之磊晶層，形成於一經濃度摻雜之塊材上。例如，一具體實例中，基材102所出示之部分係為形成於p+塊材上之p-磊晶層，而第一井區104係經摻雜之n型，且第二井區106係p型。n型電導係數結構可藉著於半導體基材102中植入適當之n型雜質諸如磷或砷而形成，且p型結構可藉著植入適當之p型雜質諸如硼而形成。圖1所說明之第一井區104及第二井區106係使用渠溝隔離結構112而彼此分隔。渠溝隔離結構112可包括適當之絕緣體，諸如介電材料。半導體裝置100之說明具體實例中，第一及第二井區104及106係藉中間隔離介電結構112而彼此物理性地分隔。隔離介電材料112可包括氧化物、氮化物、或其他適當之絕緣材料。

閘極介電材料108係形成於基材102之第一及第二井區104及106上。一具體實例中，閘極介電材料108係包括習用熱成形之二氧化矽，厚度以小於10毫微米為佳。另一具體實例中，閘極介電材料108可包括一備擇閘極材料，諸如過渡金屬氧化物材料。該備擇閘極介電材料因其高介電常數(K)而適用，該值使得可使用較厚之閘極介電層，而不致對於

## 五、發明說明(4)

該薄膜之電及電容特性產生負面影響。就此等備擇閘極介電材料而言，適當之過渡金屬氧化物複合材料係選自銨、鈦、鋁、銅、鋇、鈦及矽之氧化物及其組合物。

如圖1所詳細說明，具有第一金屬類型之第一金屬110係沉積於閘極介電材料108上。如下文所詳述，第一金屬110可選擇性地自半導體基材102欲製造一電導係數類型之電晶體的部分移除，使得第一金屬110僅存在於具有另一電導係數類型之電晶體的位置。較佳係使用化學氣相沉積(CVD)方法沉積第一金屬110，以保護閘極介電薄膜108的完整性。一備擇具體實例中，第一金屬110可使用濺鍍方法進行物理氣相沉積。其中第一金屬110最後保留於p型電晶體上之具體實例中，期望第一金屬類型具有接近矽價鍵譜帶之功函數。此具體實例中，適於第一金屬110使用之金屬係包括銨(Re)、銨(Ir)、鉑(Pt)、及氧化鈦( $\text{RuO}_2$ )。其中第一金屬110保留於n型電晶體上之具體實例中，期望第一金屬110具有接近於矽之傳導譜帶之功函數。此具體實例中，適於第一金屬110之金屬係包括鈦(Ti)、釩(V)、銦(Zr)、鉬(Mo)、鉭(Ta)、鋁(Al)、鈮(Nb)及氮化鉭( $\text{TaN}$ )。

現在參照圖2，第一金屬110有部分已被選擇性地移除。所說明之具體實例中，第一金屬110之選擇性移除係使用罩幕及蝕刻方法完成，該蝕刻方法係使用形成第二井區106之井區罩幕。此具體實例中，移除位於第二井區106(其中最後製造第二類電晶體)上之第一金屬110。因此，完全形成電晶體之後，第一金屬110保留於具有第一電導係數類型之

## 五、發明說明( 5 )

電晶體結構中，而第一金屬110不存在於具有第二電導係數類型之電晶體中。期望使用臨界尺寸(CD)容許罩幕諸如第二井區罩幕界定第一金屬110被選擇性地移除之部分--如圖2所示，因為罩幕之未校準不致對於後續加工產生負面影響。

現在參照圖3，第二金屬114係形成於半導體基材102之第一及第二井區104及106上，以覆蓋第一金屬110及閘極介電材料108之曝露部分。第二金屬114係為第二金屬類型，其中該第二金屬類型具有異於第一金屬110所使用之第一金屬類型的功函數。第一金屬110所使用之第一金屬類型具有接近矽價鍵譜帶之功函數的具體實例中，第二金屬114所使用之第二金屬類型係具有接近矽之傳導譜帶之功函數。相反地，供第一金屬110使用之第一金屬類型具有接近矽之傳導譜帶之功函數的具體實例中，第二金屬114所使用之第二金屬類型係具有接近矽之價鍵譜帶之功函數。

較佳係形成第一金屬110及第二金屬114使得具有接近傳導譜帶之功函數的金屬類型係與位於p-井區區域上的閘極介電材料108接觸。換言之，期望n-通道電晶體於閘極介電材料108上收納功函數接近矽之傳導譜帶的金屬，而製造p-型電晶體，使位於閘極介電材料108上之閘極金屬有接近矽之價鍵譜帶之功函數。例如，若第一井區104係為n-井區結構，上層製造p型電晶體，則第一金屬110之功函數以接近矽之價鍵譜帶為佳，而位於基材102之p井區區域上的閘極介電材料108上的第二金屬114具有接近矽之傳導譜帶之功

## 五、發明說明( 6 )

函數。

第二金屬114以較第一金屬110厚為佳。一具體實例中，第二金屬114之厚度至少較第一金屬110之厚度厚兩倍，而以至至少十倍厚更佳。於一具體實例中，第一金屬110之厚度係小於約100埃，而第二金屬114之厚度係介於約200-2000埃之範圍內。與第一金屬110相同地，第二金屬114以使用化學氣相沉積CVD形成為佳，以保護介電薄膜108在第二金屬114沉積期間曝露之部分的完整性。

現在參照圖4，說明半導體裝置100係於已進行閘極罩幕及蝕刻方法使第一金屬層110及第二金屬層114圖型化，於第一井區104上形成第一閘極120且於第二井區106上形成第二閘極122之後的半導體裝置100。第一閘極120係包括位於閘極介電材料108上之第一金屬110及形成於第一金屬110上之第二金屬114。相反地，第二閘極122係包括與閘極介電材料108接觸之第二金屬114。因為該第二金屬114係為較第一金屬110厚之大小，故第一及第二閘極120及122之物理尺寸實質相同，以使不同厚度所產生之加工困難減至最少。熟習該項技術者已知本發明之優點係使用與具有第一電導係數類型之電晶體的閘極介電材料108接觸之具有第一金屬類型之第一金屬110且使用與第二類電晶體之閘極介電層108接觸之具有第二金屬類型之第二金屬114(其中第一及第二金屬類型相異)可使n-通道及p-通道裝置之臨限電壓校準，同時避免多晶矽閘極所產生之困難，硼擴散、多晶矽消耗效應、及備擇閘極介電薄膜的電位相容性。因為第一金

## 五、發明說明( 7 )

屬110係於形成第一及第二閘極120及122之前選擇性地自基材102適當之部分移除，故形成第一及第二閘極120及122僅需要單一罩幕及蝕刻步驟。因此，第一閘極120之第一及第二金屬係自身校準。此外，本發明係在第一及第二閘極120及122之間不導入錯誤校準之情況下進行，否則會影響後續微影步驟。雖然第一閘極120所說明之具體實例係包括兩種金屬，而第二閘極122係包括單一種金屬，但可於各閘極疊層物中添加其他金屬或其他導電性元素，使得例如第一閘極120包括三層疊層物，而兩閘極122係為雙層疊層物。該具體實例中，第一閘極120係包括鉤第一金屬110、氮化鉤(TaN)第二金屬114、及鉤(W)第三金屬(圖4未出示)。此具體實例中，第二閘極114係包括Ta<sub>2</sub>N<sub>5</sub>第一金屬及W第二金屬。該第三金屬層亦可使用其他導電性材料諸如經摻雜之多晶矽進行。

現在參照圖5，與本發明有關之半導體裝置100之部分係藉著製造具有第一電導係數類型之第一電晶體130及具有第二電導係數類型之第二電晶體132而完成。第一電晶體130係藉著進行適當之源極/汲極植入及製造適當之側壁結構而製得。所說明之具體實例中，第一電晶體130係包括在形成側壁136之前之經輕摻雜汲極(LDD)134，之後植入經濃度摻雜之雜質分佈，以形成源極/汲極區138，皆與半導體加工領域中者相同。

相同地，第二電晶體132係藉著植入經輕摻雜之雜質分佈140、製造側壁136及後續植入經濃度摻雜之源極/汲極區

## 五、發明說明( 8 )

142而形成，具體實例係為第一電晶體130係為p型電晶體，雜質分佈134及138係為硼或其他適當之p型摻雜劑的p型雜質分佈。其中第一電晶體130係為n型電晶體之具體實例中，雜質分佈134及138係為磷、砷、或其他適當之n型摻雜劑之n型雜質分佈。側壁136以包括介電材料諸如例如氮化矽為佳。

圖5所說明之半導體裝置100另外包括中間層介電層150及一對連接於源極/汲極區138之接點152及一對連接於第一閘極120及第二閘極122之接點154。接點154及152一般包括第三種金屬諸如鎢。

半導體裝置100可使用備擇技術或方法流程製造，包括例如置換閘極製造技術，其中源極/汲極區係於形成閘極介電材料108及第一金屬110之前植入。此技術中，如圖6A至6F所說明，源極/汲極區138及142係使用置換閘極結構160作為植入罩幕而植入基材102內。置換閘極結構160係於氧化物薄膜161上使用閘極罩幕進行圖型化。置換閘極結構160一般包括材料諸如多晶矽，其對於二氧化矽具有良好之蝕刻選擇性。

形成置換閘極160之後，藉著於該基材上毯覆性沉積一薄膜，諸如化學氣相沉積CVD氧化物，之後拋光沉積層以曝出置換閘極162之頂面，而製得結構162(圖6B)。圖6C中，置換閘極160被蝕除，留下結構162。圖6D中，於整體晶圓上形成閘極介電材料108，如前文所述般地於p-通道區上選擇性地形成第一金屬110。圖6E及6F中，沉積第二金屬114

## 五、發明說明( 9 )

及第三金屬116，疊層(包括閘極氧化物108、第一金屬110、第二金屬114及第三金屬116)進行蝕刻以形成閘極結構118。一具體實例中，第一金屬110、第二金屬114、及第三金屬116個別係為鉑、氮化鉍、及鎢。此情況下，閘極結構118於其個別源極/汲極上具有延伸物。該閘極係位於通道上，與源極/汲極相鄰，且具有延伸物。該延伸物及閘極係包括閘極結構118。

本發明所述之置換閘極技術個別於沉積閘極介電材料、第一及第二金屬層110及112之前，有利地配置該源極/汲極植入物及摻雜劑活化退火。此種方法之優點之一係為可能傷害該閘極介電材料及第一及第二金屬之品質的高溫摻雜劑活化退火係於沉積該介電材料及金屬層之前進行。

雖已針對特定電導係數類型或電位極性描述本發明，但熟習該項技術者已知電導係數類型及電位極性可相反。

前文中，係針對特定具體實例描述本發明。然而，熟習該項技術者已知可在不偏離以下申請專利範圍所定義之本發明範疇的情況下，進行各種修飾及改變。是故，該說明及圖示視為說明，而非限制，所有修飾皆包括於本發明範圍內。

前文已針對特定具體實例描述本發明之優點、其他優點及問題之解決方式。然而，該等優點、其他優點、問題之解決方式及任何可產生任何優點、其他優點或進行解決或變得更有效之元素皆不視為任何或所有申請專利範圍之決定性、必需、或必要特色或元素。本發明所使用之"包括"

## 五、發明說明 ( 10 )

、"包括"或任何其變化用語皆廣括地涵蓋一種程序、方法、物件或裝置，其包括一系列元件，不僅包括該等元件，而可包括未列示或不屬於該程序、方法、物件或裝置之其他元件。

## 圖式元件符號說明

100 半導體裝置	132 第二電晶體
102 半導體基材	134 輕摻雜汲極
104 第一井區	136 側壁
106 第二井區	138 源極/汲極區
108 閘極介電材料	140 輕摻雜之雜質分佈
110 第一金屬	142 濃摻雜源極/汲極區
112 隔離介電結構	150 中間層介電層
114 第二金屬	152 接點
116 第三金屬	154 接點
120 第一閘極	160 置換閘極結構
122 第二閘極	161 氧化物薄膜
130 第一電晶體	162 結構

## 六、申請專利範圍

1. 一種半導體裝置，位於具有第一電導係數類型之第一井區及第二電導係數類型之第二井區的半導體基材中，該半導體裝置係包括：
  - 一閘極介電材料，位於該第一井區及該第二井區之至少一部分上；
  - 一第一閘極，位於該第一井區及該閘極介電材料上，該第一閘極具有第一金屬類型之第一區域及第二金屬類型之第二區域，該第二金屬類型係異於該第一金屬類型，而該第一區域係位於該閘極介電材料上；
  - 一第一源極及一第一汲極，形成於該第一井區中且與該第一閘極相鄰；
  - 一第二閘極，位於該第二井區及閘極介電材料上，該第二閘極係具有第二金屬類型，該第二金屬類型係異於該第一金屬類型；
  - 一第二源極及汲極，形成於該第二井區中且與該第二閘極相鄰。
2. 如申請專利範圍第1項之半導體裝置，其中該第一區域係具有第一厚度，且該第二區域係具有第二厚度，其中該第二厚度係較該第一厚度厚至少兩倍。
3. 如申請專利範圍第1項之半導體裝置，其中該閘極介電材料係為過渡金屬氧化物。
4. 如申請專利範圍第3項之半導體裝置，其中該第一層係具有第一厚度，且該第二層係具有第二厚度，其中該第二厚度係大於該第一厚度。

## 六、申請專利範圍

5. 如申請專利範圍第4項之半導體裝置，其中該第二厚度係較該第一厚度厚至少兩倍。
6. 如申請專利範圍第5項之半導體裝置，其中該第一金屬類型係為氮化鈦。
7. 如申請專利範圍第6項之半導體裝置，其中該第二金屬類型係為鉤。
8. 一種在具有第一電導係數類型之第一井區及第二電導係數類型之第二井區之半導體基材中形成具有第一電導係數類型之第一電晶體及具有第二電導係數類型之第二電晶體之方法，該方法包括以下步驟：  
於該第一井區上形成第一可移除閘極及於該第二井區上形成第二可移除閘極；  
於該第一井區中形成與該第一可移除閘極相鄰且具有第二電導係數類型之第一源極及第二汲極；  
於該第二井區中形成與該第二可移除閘極相鄰且具有第一電導係數類型之第二源極及第二汲極；  
移除該第一及第二可移除閘極；  
於該第一及第二井區上形成一閘極介電材料；  
於該閘極介電材料上形成具有第一金屬類型之第一金屬層；  
移除該第一金屬層之第一部分，該第一金屬層之第一部分係位於該第二井區上；  
之後於該第一及第二井區上形成具有第二金屬類型之第二金屬層，該第二金屬類型係異於該第一金屬類型；及

## 六、申請專利範圍

移除該第二金屬層之第一部分，該第二金屬層之第一部分係位於該第一及第二井區之間；

以於第二井區中形成第一電晶體，且於第一井區中形成第二電晶體。

9. 如申請專利範圍第8項之方法，其中該閘極介電材料係為過渡金屬氧化物。
10. 如申請專利範圍第8項之方法，其中該第一層係具有第一厚度且第二層具有第二厚度，其中該第二厚度係大於該第一厚度。
11. 如申請專利範圍第10項之方法，其中該第二厚度係較該第一厚度大至少兩倍。
12. 如申請專利範圍第11項之方法，其中形成該第一金屬層之步驟係包括藉化學氣相沉積方法沉積氮化鉭。
13. 如申請專利範圍第11項之方法，其中形成第二金屬層之步驟係包括藉化學氣相沉積方法沉積鉬。
14. 如申請專利範圍第13項之方法，其中該過渡金屬氧化物係選自銦、鉛、鋁、銅、矽、鈦之氧化物及其組合物。

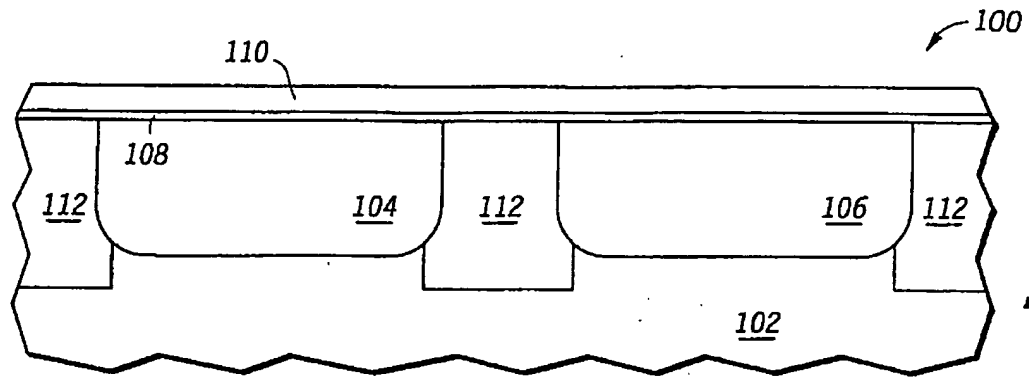


圖 1

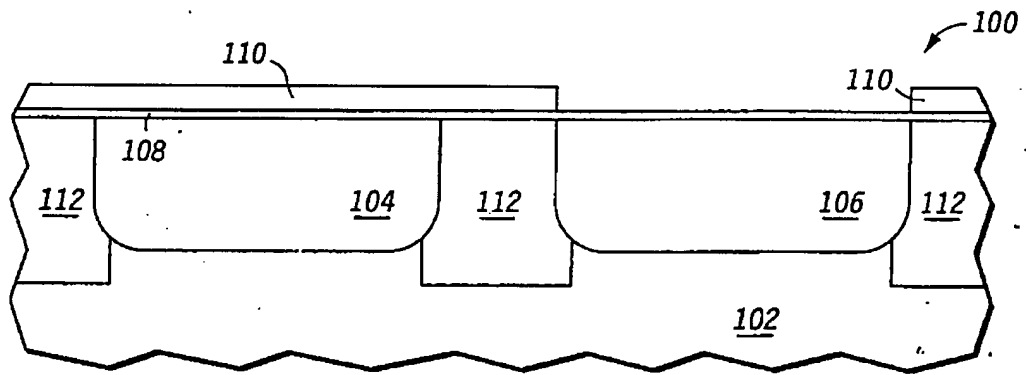


圖 2

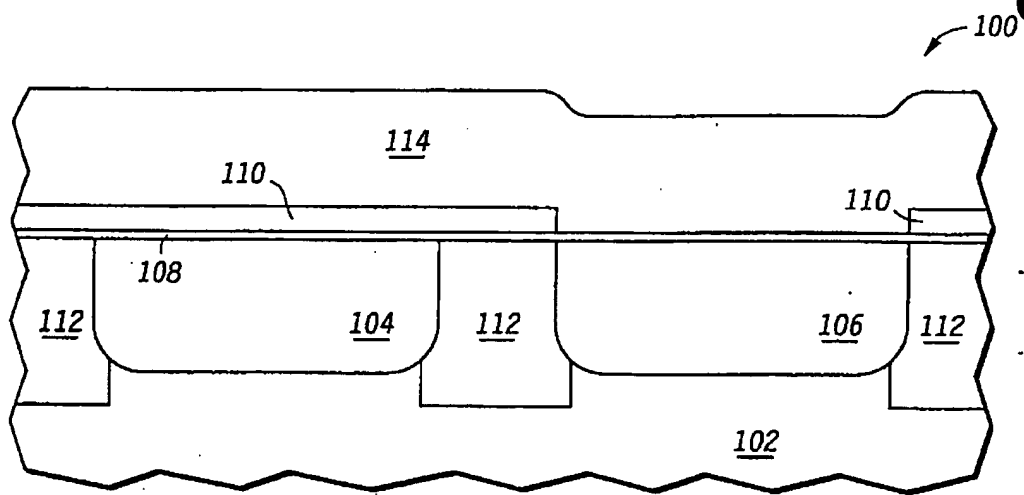


圖 3

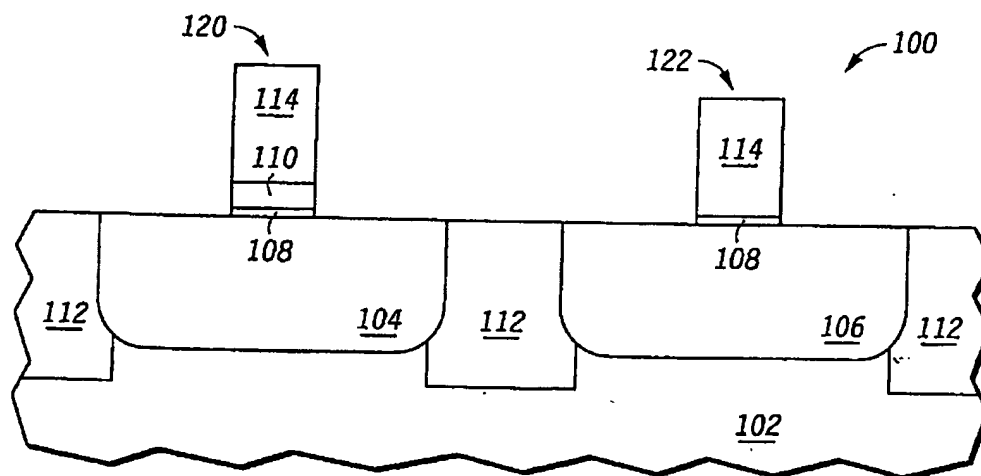


圖 4

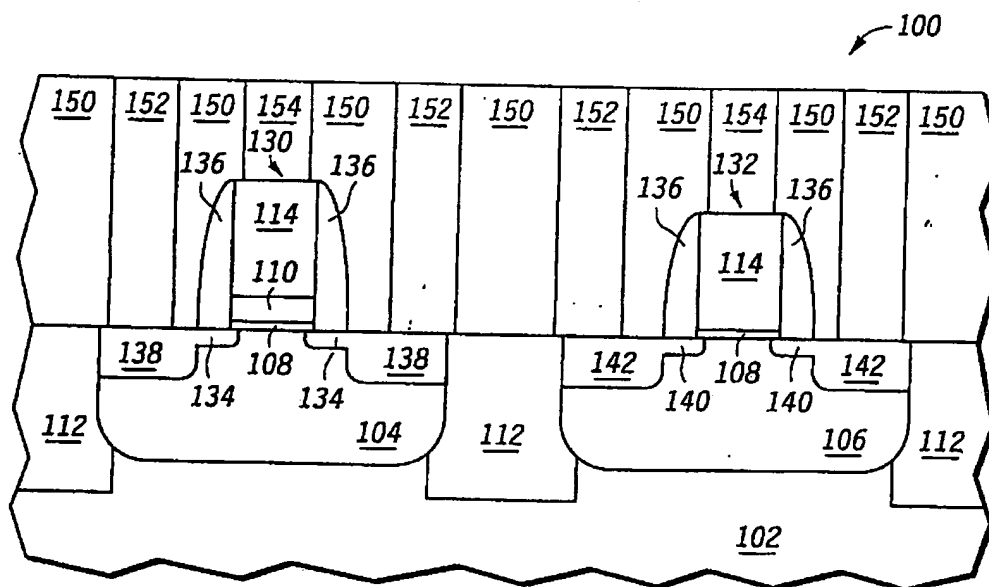


圖 5

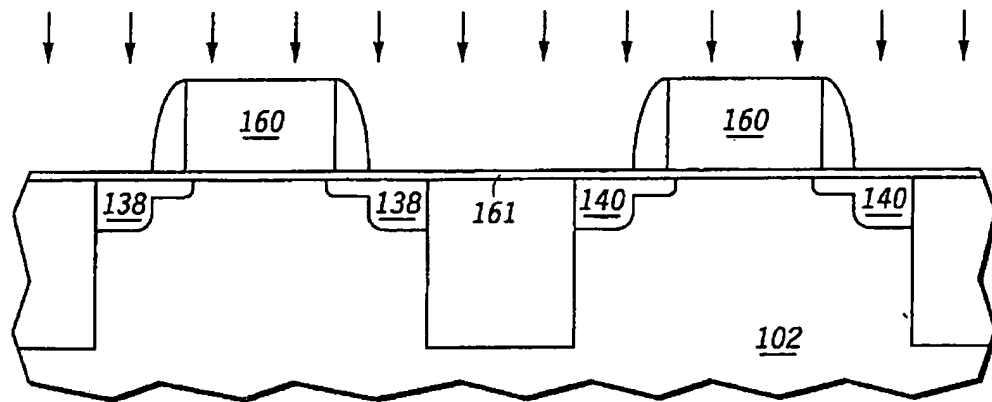


圖 6A

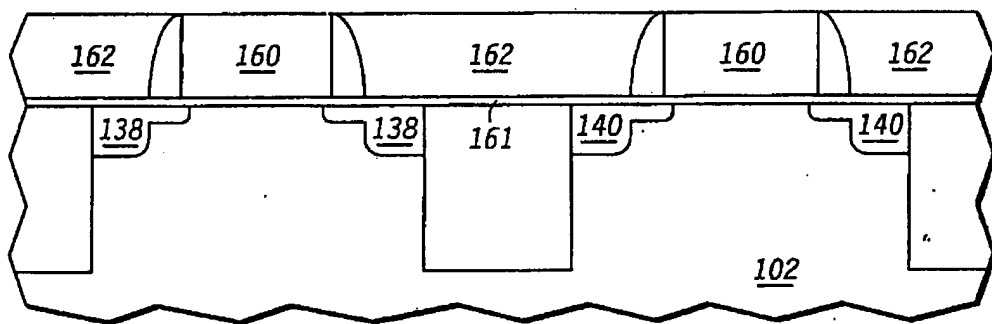


圖 6B

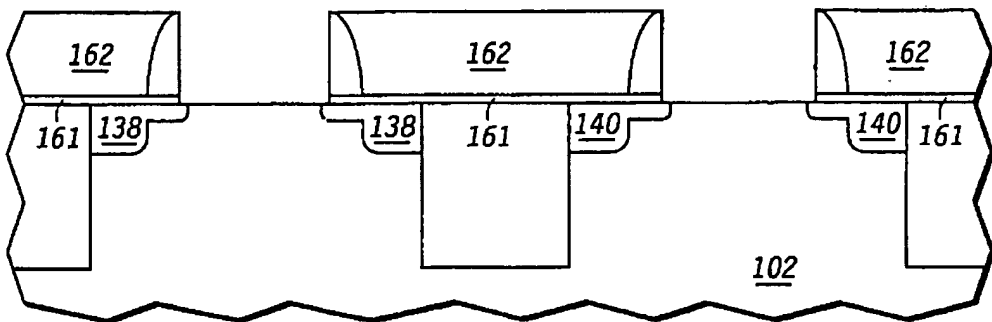


圖 6C

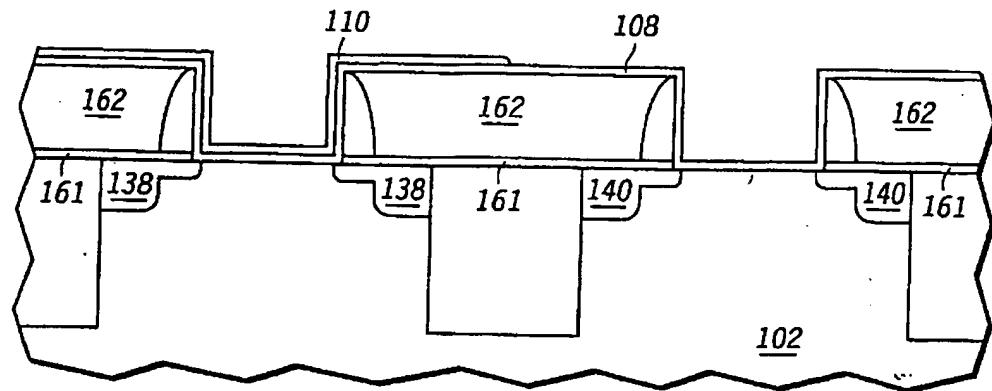


圖 6D

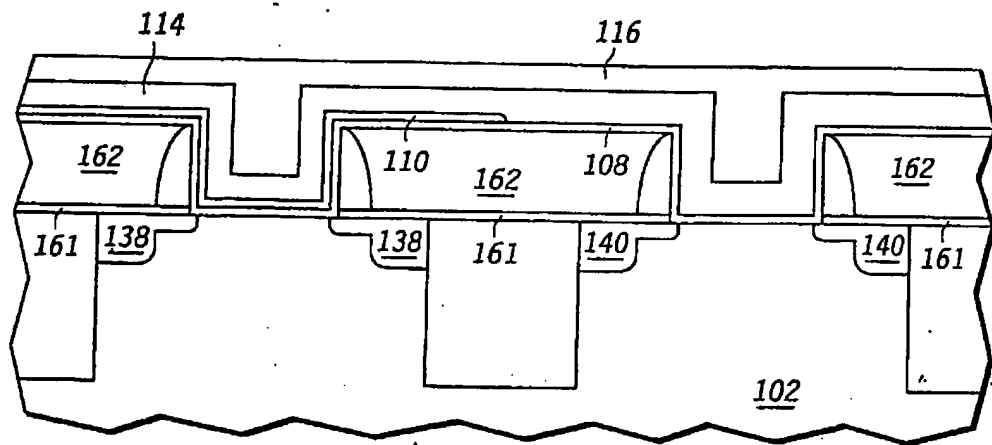


圖 6E

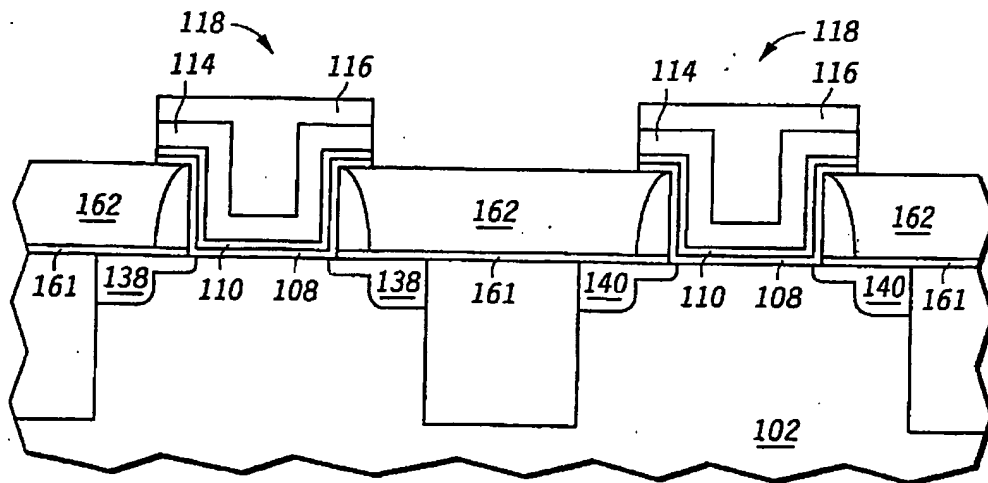


圖 6F

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**